

数字系统设计课程设计报告

--基于FPGA的游戏设计

学 校: 中山大学

院 系: 数据科学与计算机学院

专 业: 软件工程（移动信息工程）

年 级: 15级

指导老师: 李国桢，保研翔

|  |  |  |
| --- | --- | --- |
| **学号** | **姓名** | **分工** |
| 15352457 | 朱裕章 |  |
| 15352218 | 林燕娜 |  |
| 15352383 | 杨鑫 |  |
| 15352458 | 庄博伟 |  |

二零一六年十二月二十四日

摘要

本次课程设计采用了 Xilinx 公司的 Basys3 系列的 XC7A35T-ICPG236C FPGA 来计算运行贪吃蛇游戏并驱动VGA显示游戏过程，实现方式为采用 verilog HDL　语言编写，主要涉及组合逻辑电路、时序逻辑电路（状态机）、数字模块、VGA显示等相关知识。本次课程设计的系统电路设计主要采用模块化的思想实现。

关键字：FPGA 贪吃蛇 Verilog HDL VGA 状态机

Abstract

This course is designed to calculate and run the game of the Snake and to drive the VGA to display the game, which is based on XC7A35T-ICPG236C FPGA from Xilinx, Basys3. This course is designed using Verilog HDL language It mainly involves combinational logic circuit, sequential logic circuit Machine, digital module, VGA display and other related knowledge. The curriculum design of the system circuit design use a modular idea to achieve.

Keywords: FPGA Snake Game Verilog HDL VGA sequential logic circuit Machine

# 1、前言与设计背景

《数字系统设计》是一门技术性、应用性很强的学科，这门课程将理论与实验相互结合进行，让我们逐步掌握了基本的数字逻辑设计概念。通过此门课程我们学习了从组合电路，逻辑电路到触发器，最后接触了VHDL和Verilog两种主要硬件描述语言，并结合实验课完成了一些基本例子的实现。本课程设计的目的其实就是让我们在理论学习的基础上，通过完成一个涉及时序逻辑、组合逻辑、相关输出的，具有实用性、趣味性的小系统设计，使我们不但能够将课堂上学到的理论知识与实际应用结合起来，而且能够对分析、解决实际的数字电路问题进一步加深认识，为今后能够独立进行某些数字应用系统的开发设计工作打下一定的基础。

而本次课程采用的就是Verilog HDL语言。Verilog HDL语言是一种广泛应用的硬件描述语言，可以用在硬件设计流程的建模、综合和模拟等多个阶段。随着硬件设计规模的不断扩大，应用硬件描述语言进行描述的FPGA结构，成为设计专用集成电路和其他集成电路的主流。

在布置课程设计的时候，李国桢老师说明了课程设计的评分标准为：课程设计涵括本学期内容越广为优秀，并且小组人数（上限为4人）越多课程设计也应越有难度。在综合考虑课程内容、课程难度、知识拓展和兴趣挑战，本小组在课程设计选题讨论会上一致决定课程设计内容为编写一个小游戏并且用VGA显示作为知识拓展。考虑到实现难度以及 Verilog HDL 实现可能性，本小组最终决定利用 Verilog HDL 语言编写实现经典小游戏贪吃蛇。

# 2、系统分析与方案设计

贪吃蛇是经典小游戏，本设计采用VGA显示的方式将游戏展现出来。游戏中玩家通过四个按键控制蛇的身体上下左右移动来吃屏幕中出现的苹果，苹果是随机出现的。当蛇吃的一个苹果时，蛇身体变长一个单位同时会有另一个苹果出现。如果蛇身达到一定的长度（玩家获得的分数）时，游戏胜利；如果蛇头撞墙或者撞到自己身体，则游戏失败。

所要设计的贪吃蛇游戏基于Xilinx 公司的 Basys3 系列的 XC7A35T-ICPG236C FPGA芯片为硬件，采用Verilog HDL语言编写程序。在本设计中，有个5按键，分别是上、下、左、右、复位/游戏开始按键。它们都是输入信号，输出是VGA，在电脑屏幕实现VGA显示汉字，游戏画面。其系统设计结构框图如图所示：

3．硬件电路设计

# （1）系统电路设计

硬件电路设计包含以下几个模块：

U1：Clock\_divide 时钟分频模块

U2：Button\_Scaning 按键消抖模块

U3: Game\_Control 游戏流程控制模块

U4：Eating\_Apple 苹果生成模块

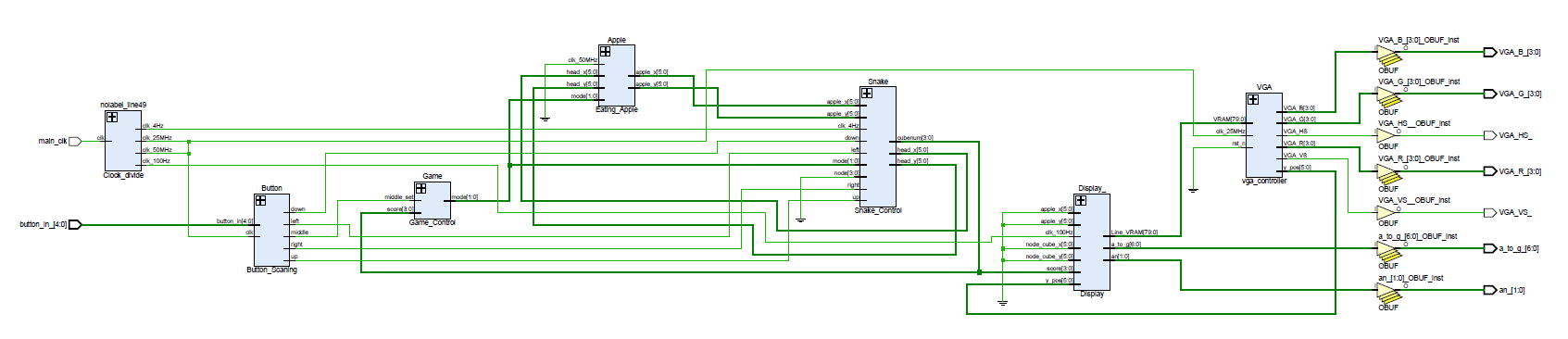
U5：Snake\_Control 蛇身控制模块

U6：Display 显示综合模块

U7：vga\_controller VGA驱动模块

U8: Top 顶层模块

完成后整个电路的RTL view如下图所示：



（2）时钟分频模块设计

（3）按键消抖模块设计

# （4）游戏流程控制模块设计

游戏控制模块（Game\_Control）的设计基于有限状态机设计技术。状态机就是状态转移图，状态在不同的条件下跳转到自己或不同状态的图。就理论而言，任何时序模型都可以归结为一个状态机。在许多方面，有限状态机都有其难以超越的优越性，这主要表现在一下几个方面：

（1）高效的顺序控制模型。状态机克服了纯硬件数字系统顺序方式控制不灵活的缺点。状态机的工作方式是根据控制信号按照预先设定的状态进行顺序运行的。

（2）容易利用现成的EDA工具进行优化设计。由于状态机构件简单，设计方案相对固定，特别是可以作一些独具特色的规范固定的表述，使得这一切为HDL综合器尽可能自动的发挥其强大的优化功能提供便利条件。

（3）系统性能稳定。状态机容易构成性能良好的同步时序逻辑模块，这对于对付大规模逻辑电路设计中令人深感棘手的竞争冒险现象无疑是一个上佳的选择。

（4）设计实现效率高。与HDL的其他描述方式相比，状态机的表述形式相对固定却又灵活多样，且程序层次分明，结构清晰，易读易懂，排错修改便捷。

（5）高速性能。在高速通信和高速控制方面，状态机更有其巨大的优势。

游戏控制模块从其他模块中获得信号，从而决定游戏状态，同时向其他信号发出控制信号。由程序执行流程图可知，共4种状态：

状态一：游戏开始前，按下开始游戏键进入状态二。

状态二：游戏正在进行，达成某一条件进入状态三或状态四。

状态三：游戏胜利，按下重置键返回状态二。

状态四：游戏失败，按下重置键返回状态二。

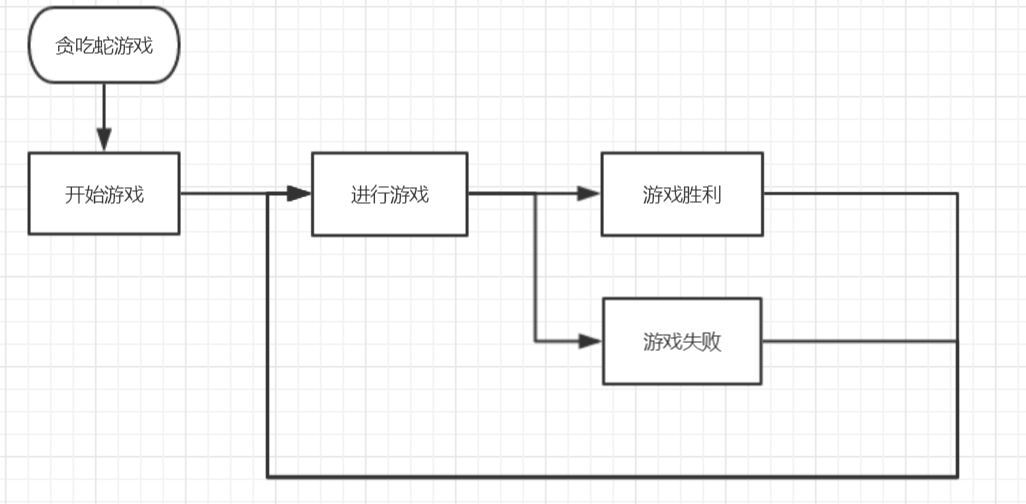


图3.4.1 贪吃蛇程序执行流程图

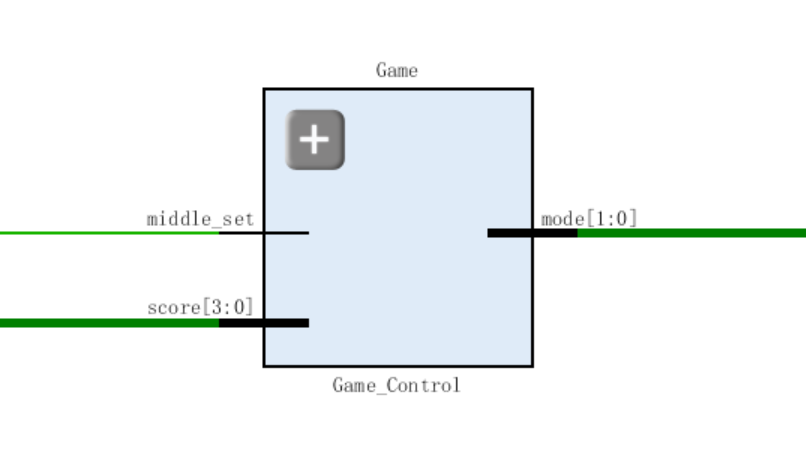


图3.4.2 游戏流程控制模块硬件设计图

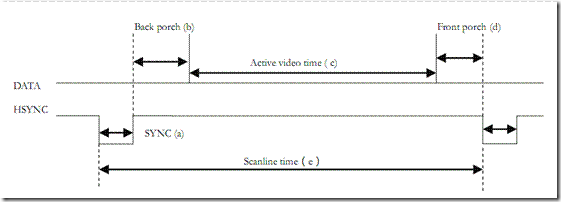
1. 苹果生成模块设计

（6）蛇身控制模块设计

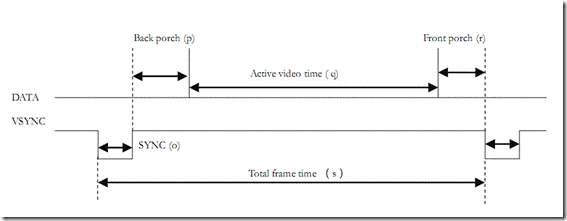
1. VGA驱动模块—— vga\_controller.v

本次课程设计中，我们使用了Basys\_3开发板的VGA端口作为游戏的画面输出，因此需要设计一个VGA驱动模块用于输出图像。我们的VGA驱动模块的主要功能有以下两点：

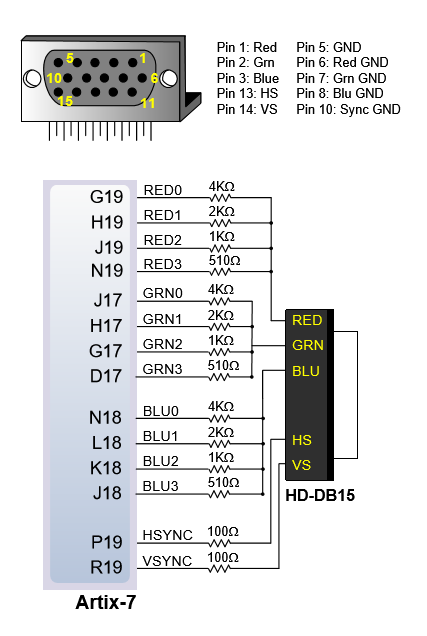
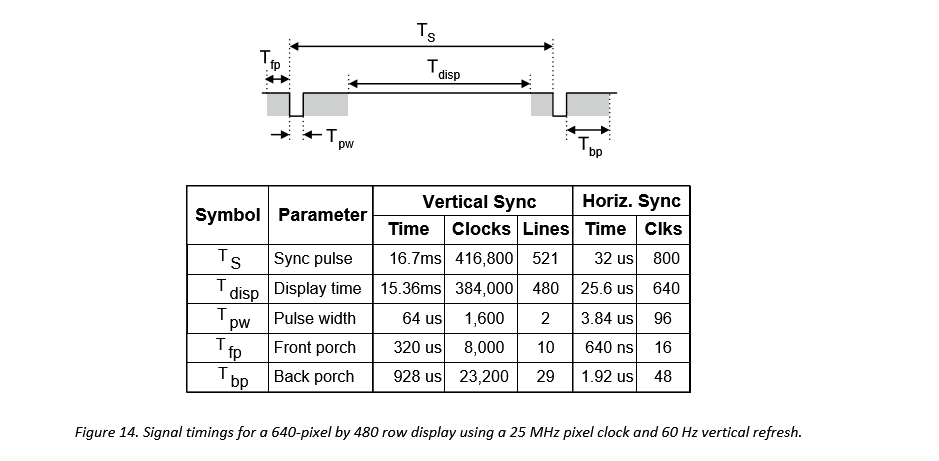
* 经由VGA端口向显示器输出行（Horizontal\_Sync）与场同步信号（Vertical\_Sync）；
* 读取由显示综合模块生成的显存，转化为相应的色彩信号VGA\_R、VGA\_G、VGA\_B输出到显示器。



行同步时序

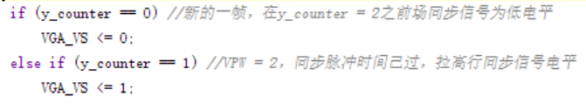
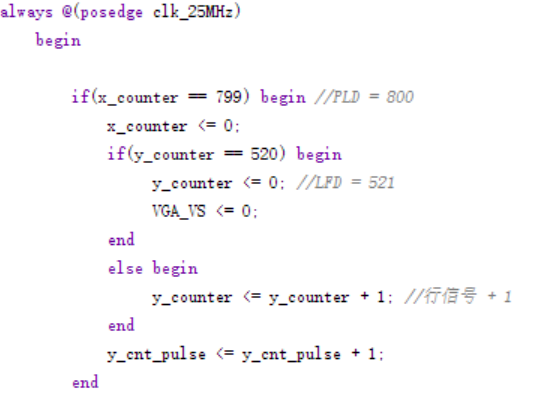


场同步时序



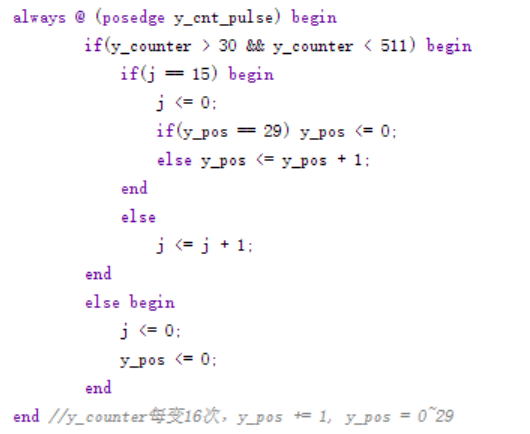
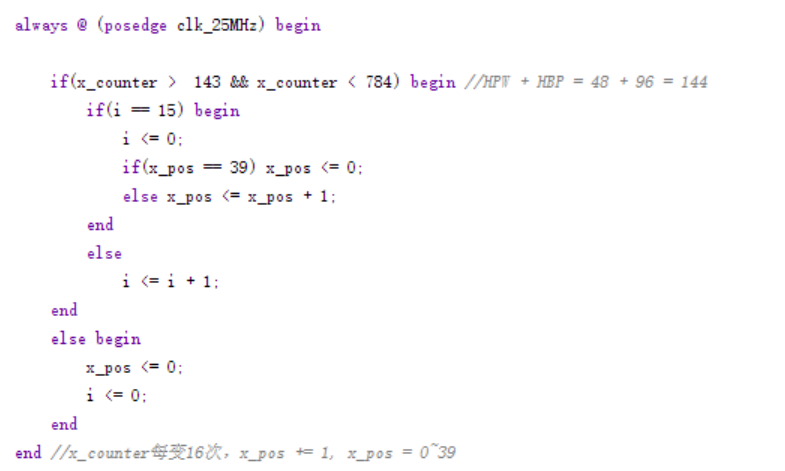
640\*480分辨率，60Hz输出时序表 / Basys\_3开发板VGA端口图

在查阅资料，根据游戏设计目标斟酌后，我们选择了640\*480分辨率作为最终输出的分辨率，经由分频模块获取25MHz的时钟作为VGA驱动模块的主时钟。根据行场同步时序表与VGA显示原理，通过计数生成行场同步脉冲信号VGA\_HS和VGA\_VS。



生成行场同步信号的部分描述代码

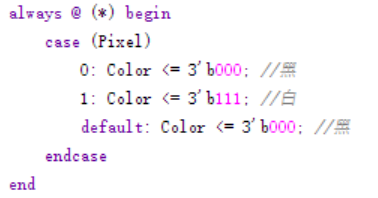
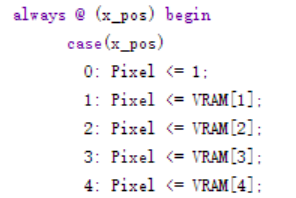
出于减小游戏资源消耗的目的，我们将16\*16的实际像素块视为单位逻辑像素，因此VGA驱动模块也将同时负责实际像素与逻辑像素之间的数值转化，在游戏逻辑上，我们将画面划分成了一个40\*30的区域。



通过计数实现实际像素与逻辑像素的转化

在Verilog模块中，我们将实际像素坐标记为x\_counter与y\_counter，转化后的逻辑像素坐标记为x\_pos与y\_pos。

在测试多色彩输出时出现了预料之外的错误，更换多台显示器后发现显示效果不可控。出于稳定性考虑，本次课程设计中VGA驱动模块仅输出黑色（RGB\_0，0，0）与白色（RGB\_255，255，255）构成画面。



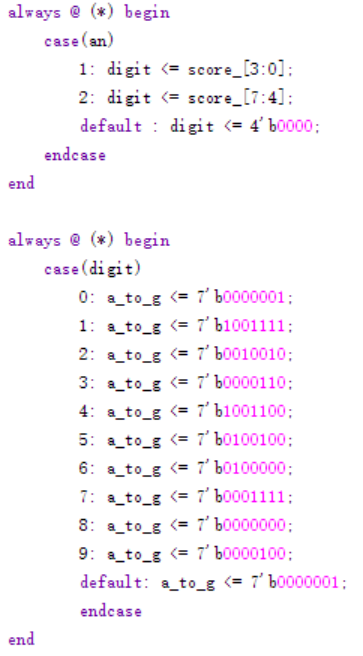
通过读取行显存VRAM，将预存的图像输出到屏幕上

因为只有两种色彩，即只有0/1两种状态，每一行的显存VRAM只需要30位就可以记录下每一行的色彩信息。通过读取对应像素处VRAM的数值，VGA驱动模块就能将预存在VRAM中的信息转化为实际图像输出了。

1. 显示综合模块设计

在我们本次课程设计中，显示综合模块的主要功能如下：

* 控制七段管输出当前游戏分数
* 从蛇身控制/苹果生成模块中读取画
* 面信息，生成行显存，输出到VGA驱动模块

显示综合模块I/O / 七段管的部分配置代码

在此前的实验课程设计中，我们已经较为熟练地掌握了Basys\_3开发板内置的七段LED数码管的控制，类似地，我们取用其中两位作为游戏的得分面板。

在这一模块中，更为重要的工作是生成“行显存”供VGA驱动模块读取，思路如下：通过从VGA驱动模块中读入逻辑纵坐标y\_pos，读入蛇身节点信息与苹果坐标信息，经由逻辑比较将行显存Line\_VRAM相应的某一位设置为0/1即可。



生成行显存的代码块

此处较为精髓的部分为蛇身的遍历方式：通过一个变化频率高于远高于逻辑行刷新频率的寄存器j进行蛇身坐标的遍历。随着寄存器j数值改变，蛇身控制模块会逐一输出蛇身每一个节点的逻辑坐标，经过比较后更改行显存的值即可。

（9）顶层模块

# 4．软件调试与仿真结果

# 5.课程设计总结

# 1、课程设计完成情况

此次课程设计历时了一个月之久，所以有充裕的时间让我们构思、创新，来完成一次属于自己的奇思妙想。但是设计工程仍然是磕磕绊绊，因为要花相当多的时间去系统学习Verilog HDL语言来支撑这次设计的主要部分，因为理论仍然是支持我们实践的重要部分。代码在综合、实现到最后生成都经历大大小小不少的麻烦，但是只要耐性就可以克服，最终此次课程设计也是顺利的落下了帷幕，虽然艰难，但是确实可以从中学习不少东西，不仅限于相关理论的知识。

# 2、设计中遇到的问题及解决办法

（1）万事开头难，起初对贪吃蛇游戏的设计以及FPGA转VGA毫无头绪，就算学习了Verilog语言的相关知识，也不知代码从何打起。即无法在大局上把握一个相关设计应有的过程。

解决办法：多与同学老师交流设计方法与构思，必要时可以搜索相关资料，大学中的学习不仅仅包括独立完成，借鉴模仿和交换经验也是学习的一种必要方式。

# 3、完成设计后总结的经验

（1）进行一项较复杂的数字系统设计进要行充分的方案论证，不可盲目就动手去做，要充分了解我将要进行的内容，制定一项大概的计划会帮助我们更快解决问题完成设计。

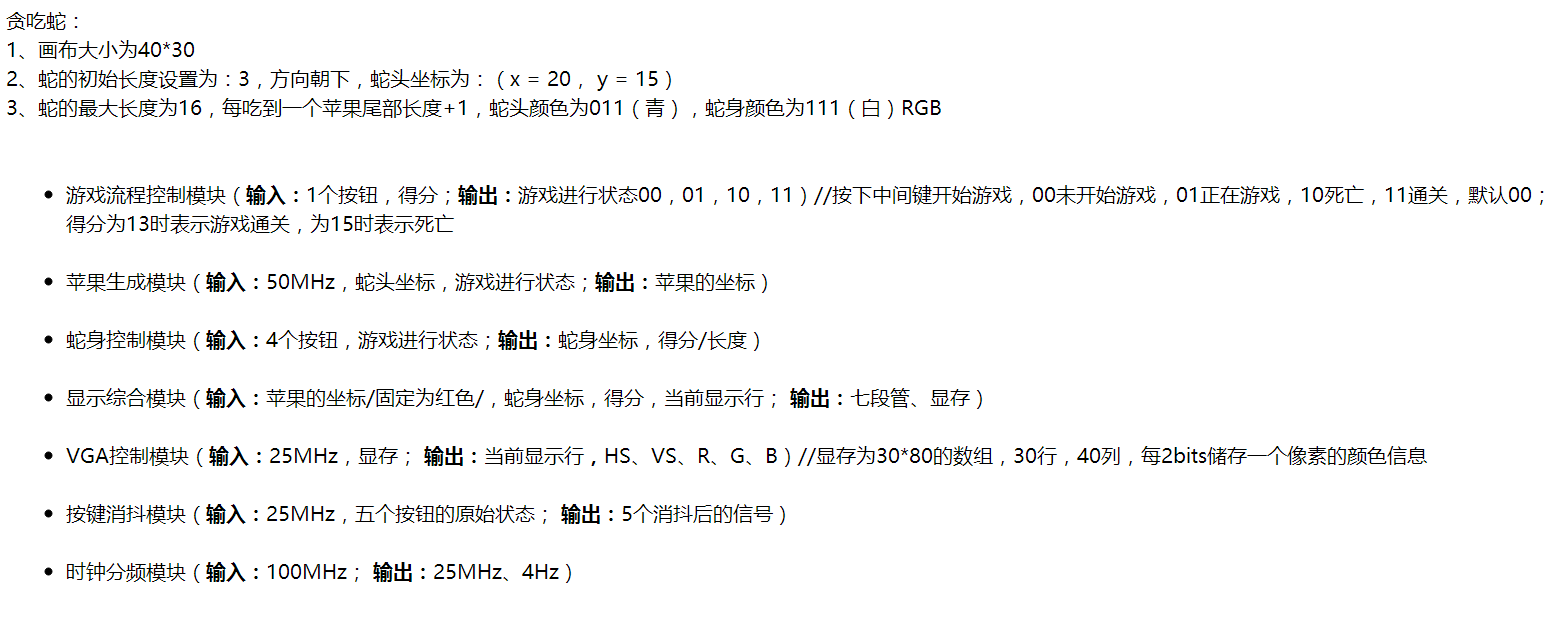


图5.3.1初步讨论规划

# 4、心得体会

课程设计是对专业课程知识综合应用的实践训练，“千里之行始于足下”，通过这次课程设计，我们深切体会到了这句话的深刻含义。

**杨鑫：**从一开始，我们就打算挑战难度稍微高一些的VGA显示实现。在考虑诸多因素之后，我们才最终决定了做贪吃蛇这一经典游戏，也算作对早期电子游戏的致敬。在本次课程设计中，从讨论实现方案到实际编程，我们都充分运用了在设计时钟的实验课程中汲取到的经验，查阅了不少资料，在尝试与失败中一步步摸索，才终于完成了这次课程设计。在实现游戏的过程中，我曾有气馁，有困倦，但幸运的是，我有几位好队友和我一起努力发现并解决问题。

最终我们的小蛇在显示屏上灵活地动起来的那一刻，我觉得一切都值了。